

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11312686 A

(43) Date of publication of application: 09 . 11 . 99

(51) Int. Cl.

H01L 21/331
H01L 29/73
H01L 29/165
H01L 29/78
H01L 29/778
H01L 21/338
H01L 29/812

(21) Application number: 10118597

(22) Date of filing: 28 . 04 . 98

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor: SAITO TORU
SUGAWARA TAKESHI
KUBO MINORU
NOZAWA KATSUYA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

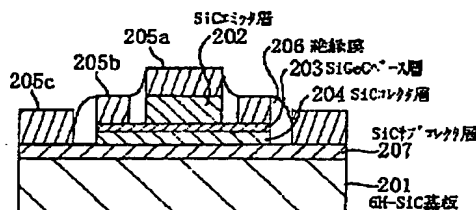
COPYRIGHT: (C)1999,JPO

(57) Abstract:

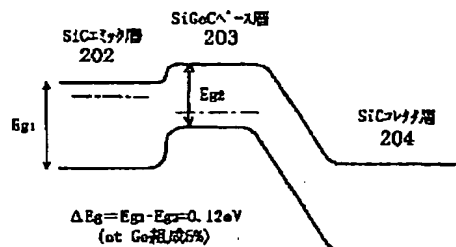
PROBLEM TO BE SOLVED: To provide an SiC semiconductor device which is high in thermal stability and breakdown voltage properties by a method, wherein an SiGeC layer of satisfactory crystallinity is used.

SOLUTION: A heterobipolar transistor is equipped with an SiC sub-collector layer 207 provided on a 6H-SiC substrate 201, an SiC collector layer 204 provided on the SiC sub-collector layer 207, an SiGeC base layer 203 provided to the SiC collector layer 204, an SiC emitter layer 202 provided to the SiGeC base layer 203, an insulating film 206 provided to isolate the above layers from each other, and electrodes 205a, 205b, and 205c. An SiGeC base layer 203 formed by implanting Ge ions into the 6H-SiC substrate 201 is satisfactory in crystallinity. A heterobipolar transistor which is high in thermal stability and breakdown voltage properties can be obtained, taking advantage of a heterojunction between the SiC emitter layer 202 and the SiGeC base layer 203.

(a)



(b)



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 3 1 2 6 8 6

(43) 公開日 平成 11 年 (1999) 11 月 9 日

(51) Int. Cl. ⁶

識別記号

F I

H 0 1 L 21/331
29/73
29/165
29/78
29/778

H 0 1 L 29/72
29/165
29/78 3 0 1 B
29/80 H

審査請求 未請求 請求項の数 1 4

O L

(全 9 頁) 最終頁に続く

(21) 出願番号 特願平 10-118597

(22) 出願日 平成 10 年 (1998) 4 月 28 日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真 1006 番地

(72) 発明者 齋藤 徹

大阪府門真市大字門真 1006 番地 松下電器
産業株式会社内

(72) 発明者 菅原 岳

大阪府門真市大字門真 1006 番地 松下電器
産業株式会社内

(72) 発明者 久保 実

大阪府門真市大字門真 1006 番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外 2 名)

最終頁に続く

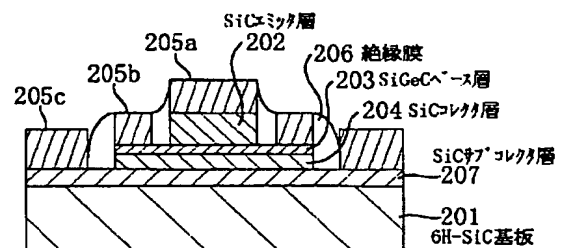
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

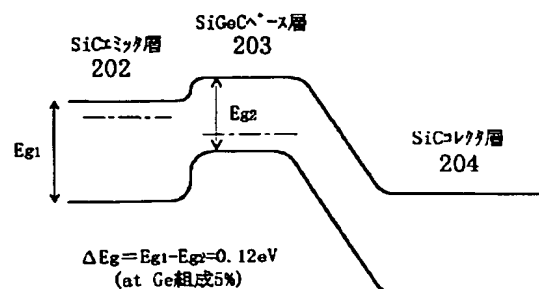
【課題】 結晶性の良好な SiGeC 層を用いて、熱的安定性、耐電圧性の高い SiC 系半導体装置及びその製造方法を提供する。

【解決手段】 ヘテロバイポーラトランジスタは、6H-SiC 基板 201 上に設けられた SiC サブコレクタ層 207 と、SiC サブコレクタ層 207 上に設けられた SiC コレクタ層 204 と、SiC コレクタ層 204 上に設けられた SiGeC ベース層 203 と、SiGeC ベース層 203 上に設けられた SiC エミッタ層 202 と、各層を分離するための絶縁膜 206 と、電極 205a, 205b, 205c とを備えている。6H-SiC 基板 201 内に Ge をイオン注入して形成された SiGeC ベース層 203 は、結晶性が良好である。SiC エミッタ層 202 と SiGeC ベース層 203 との間のヘテロ接合を利用して熱的安定性、耐電圧性の高いヘテロバイポーラトランジスタが得られる。

(a)



(b)



【特許請求の範囲】

【請求項 1】 SiC-SiGeCヘテロ接合部を有する半導体装置の製造方法であって、
化学的量論比 1 : 1 の組成を有する SiC 層を準備する工程と、
上記 SiC 層に、Ge を導入することにより SiGeC 層を形成する工程とを備えている半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、
上記 SiGeC 層を形成する工程では、SiC 層に Ge イオンを注入することを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、
上記 SiGeC 層を形成する工程では、SiC 層の上に、Si の組成と C の組成とが互いにほぼ等しい SiGeC 層をエピタキシャル成長させることを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 1 ~ 3 のうちいずれか 1 つに記載の半導体装置の製造方法において、
上記 SiC 層を準備する工程は、
Si 基板上に SiGeC 層をエピタキシャル成長させる工程と、
上記 SiGeC 層の上に SiC 層をエピタキシャル成長させる工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 5】 SiC 層を活性層として有する半導体装置の製造方法であって、
Si 基板上に SiGeC 層をエピタキシャル成長させる工程と、
上記 SiGeC 層の上に上記 SiC 層をエピタキシャル成長させる工程とを備えている半導体装置の製造方法。

【請求項 6】 請求項 5 記載の半導体装置の製造方法において、
上記 SiGeC 層をエピタキシャル成長させる工程では、Si 組成と C 組成とを等しくしながら、Ge 組成を減少させることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、
上記 SiGeC 層をエピタキシャル成長させる工程では、Ge 組成を SiGeC 層の格子定数が単結晶 Si の格子定数とほぼ等しくなる値からほぼ 0 まで減少させることを特徴とする半導体装置の製造方法。

【請求項 8】 SiC 層により構成される第 1 の半導体層と、
化学的量論比 1 : 1 を有する SiC 層に Ge を導入して形成された SiGeC 層により構成される第 2 の半導体層とを備え、
上記第 1 の半導体層と第 2 の半導体層との間の境界にヘ

テロ接合部が形成されていることを特徴とする半導体装置。

【請求項 9】 請求項 8 記載の半導体装置において、
上記第 1 の半導体層は、第 1 導電型のエミッタ層であり、
上記第 2 の半導体層は、上記エミッタ層の下方に設けられた第 2 導電型のベース層であり、
上記ベース層の下方に設けられた SiC 層からなる第 1 導電型のコレクタ層をさらに備え、
ヘテロバイポーラトランジスタとして機能することを特徴とする半導体装置。

【請求項 10】 請求項 8 記載の半導体装置において、
上記第 1 の半導体層と上記第 2 の半導体層とは互いに積層されて、両者の境界部にエネルギー不連続部であるキャリア蓄積層が形成されており、
上記第 1 の半導体層と第 2 の半導体層とを横方向に挟むソース・ドレイン領域と、
上記第 1 及び第 2 の半導体層の上方に設けられたゲート電極とをさらに備え、
上記キャリア蓄積層内を 2 次元キャリアガスが走行する HEMT として機能することを特徴とする半導体装置。

【請求項 11】 請求項 8 ~ 10 のうちいずれか 1 つに記載の半導体装置において、
Si 基板と、
上記 Si 基板上に設けられた格子緩和用 SiGeC 層とをさらに備え、
上記第 1 の半導体層は、上記格子緩和用 SiGeC 層の上に設けられていることを特徴とする半導体装置。

【請求項 12】 Si 基板と、
上記 Si 基板の上に設けられた格子緩和用 SiGeC 層と、
上記格子緩和用 SiGeC 層の上に設けられた SiC 層とを備え、
上記 SiC 層を動作層として有することを特徴とする半導体装置。

【請求項 13】 請求項 12 記載の半導体装置において、
上記格子緩和用 SiGeC 層は、ほぼ等しい Si 組成と C 組成とを有し、かつ上方に向かって漸次減少する Ge 組成を有することを特徴とする半導体装置。

【請求項 14】 請求項 12 記載の半導体装置において、
上記格子緩和用 SiGeC 層内の Ge 組成は、SiGeC 層の格子定数が単結晶 Si の格子定数とほぼ等しくなる値からほぼ 0 まで漸次減少していることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、IV 族元素混晶半導体を用いた半導体装置とその製造方法に関するもので

ある。

【0002】

【従来の技術】従来より、Siデバイスの物性限界を打破するために、Siデバイス中にヘテロ接合を設ける試みがなされている。ヘテロ接合を形成する材料としては、Siと同じIV族元素を用いた混晶半導体であるSiGeやSiGeCが有望とされている。例えば、文献1 (IEDM Technical Digest(1996)859頁)などに記載されているように、Siによりエミッタ及びコレクタを構成する一方、SiGeによりベース層を構成することにより、ベース層の両側にヘテロ接合を設けてなるヘテロバイポーラトランジスタの形成方法が提案されている。

【0003】ところが、SiGeは2元系混晶であるため、SiGeを利用したヘテロ接合を有するデバイスを構成しようとするとデバイス設計の自由度が制限されている。そこで、格子定数やバンドギャップなどの選択自由度が広い3元系混晶であるSiGeCによりヘテロ接合を設けたヘテロ接合デバイスの開発が注目されており、SiGeC系混晶半導体の材料研究が進められている。

【0004】現在提案されている方法においては、このSiGeC混晶の形成は、SiGe層の成長中に少量のC原料を添加する方法やSiGe層にイオン注入を用いてCを添加することにより行なわれている。

【0005】

【発明が解決しようとする課題】しかしながら、従来提案されているSiGeC混晶を用いた半導体デバイス及びその製造方法においては、以下のような問題があった。

【0006】まず、製造方法についてみると、SiGe層へのCの添加には固溶限界が存在し、約4%程度以上のC原子を添加することにより結晶性が著しく劣化し非晶質化することが、文献2 (Applied Physics Letters 第65巻 (1994) 2559頁)に記載されている。

【0007】また、文献1のヘテロバイポーラトランジスタは、動作速度は高いものの、現在の一般的なSiデバイスに比べてそれ程大きな熱的安定性や耐電圧を発揮できず、パワーデバイスとしての応用に関しては一般的なSiデバイスに対する優位性はほとんどない。つまり、作成の困難さの割にはデバイスとしての利点がそれ程大きくない。

【0008】本発明は、斯かる点に鑑みてなされたものであり、その目的は、SiCが熱的安定性や耐電圧性に優れた特徴を有する点に着目し、SiCをベース素材としたヘテロ接合部を有し、パワーデバイスとしても応用が可能で、かつ、製造においても結晶性などの特性が安定した半導体デバイス及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するため

に、本発明では第1、第2の半導体装置に関する手段と、第1、第2の半導体装置の製造方法に関する手段とを講じている。

【0010】本発明の第1の半導体装置の製造方法は、SiC-SiGeCヘテロ接合部を有する半導体装置の製造方法であって、化学的量論比1:1の組成を有するSiC層を準備する工程と、上記SiC層にGeを導入することによりSiGeC層を形成する工程とを備えている。

10 【0011】この方法により、化学的量論比を有するSiC層にGeを導入して形成されるSiGeC層の結晶性がよいという事実に着目して、電気的特性が優れるとともに熱的安定性の高いパワートランジスタなどとして機能できる半導体装置が得られることになる。

【0012】上記第1の半導体装置の製造方法において、上記SiGeC層を形成する工程では、SiC層にGeイオンを注入することができる。

【0013】この方法により、簡素な工程でSiC層内にSiGeC層を設けることが可能となる。

20 【0014】上記第1の半導体装置の製造方法において、上記SiGeC層を形成する工程では、SiC層の上に、Siの組成とCの組成とが互いにほぼ等しいSiGeC層をエピタキシャル成長させてもよい。

【0015】この方法により、SiGeC層内のGe組成を多彩に変化させることが容易となる。

【0016】上記第1の半導体装置の製造方法において、上記SiC層を準備する工程を、Si基板上にSiGeC層をエピタキシャル成長させる工程と、上記SiGeC層の上にSiC層をエピタキシャル成長させる工程とにより行なうことができる。

30 【0017】この方法により、高価なSiC基板を使用せずに安価なSi基板を使用しながら、結晶欠陥の少ないSiC層を設けることが可能となる。

【0018】本発明の第2の半導体装置の製造方法は、SiC層を活性層として有する半導体装置の製造方法であって、Si基板上にSiGeC層をエピタキシャル成長させる工程と、上記SiGeC層の上に上記SiC層をエピタキシャル成長させる工程とを備えている。

40 【0019】この方法により、高価なSiC基板を使用せずに安価なSi基板を使用しながら、結晶欠陥の少ないSiC層を設けることが可能となる。

【0020】上記第2の半導体装置の製造方法において、上記SiGeC層をエピタキシャル成長させる工程では、Si組成とC組成とを等しくしながら、Ge組成を減少させることが好ましい。

【0021】この方法により、SiGeC層の格子定数がSi基板に近い値からSiC層に近い値まで変化するので、より格子欠陥の少ないSiC層をエピタキシャル成長させることが可能となる。

50 【0022】上記第2の半導体装置の製造方法におい

て、上記 SiGeC 層をエピタキシャル成長させる工程では、Ge 組成を SiGeC 層の格子定数が単結晶 Si の格子定数とほぼ等しくなる値からほぼ 0 まで減少させることがより好ましい。

【0023】本発明の第 1 の半導体装置は、SiC 層により構成される第 1 の半導体層と、化学的当量比 1:1 を有する SiC 層に Ge を導入して形成された SiGeC 層により構成される第 2 の半導体層とを備え、上記第 1 の半導体層と第 2 の半導体層との間の境界にヘテロ接合部が形成されている。

【0024】これにより、第 1 の半導体層と第 2 の半導体層との間に形成されるヘテロ接合部を利用して、電気的特性の優れた高い熱的安定性と耐電圧性とを有する各種の半導体装置が得られる。

【0025】上記第 1 の半導体装置において、上記第 1 の半導体層を第 1 導電型のエミッタ層とし、上記第 2 の半導体層を上記エミッタ層の下方に設けられた第 2 導電型のベース層とし、上記ベース層の下方に設けられた SiC 層からなる第 1 導電型のコレクタ層をさらに備え、ヘテロバイポーラトランジスタとして機能させることができる。

【0026】これにより、エミッタ層-ベース層間のヘテロ接合部を利用して高い電気的特性、熱的安定性、耐電圧性などを有するヘテロバイポーラトランジスタが得られる。

【0027】上記第 1 の半導体装置において、上記第 1 の半導体層と上記第 2 の半導体層とを互いに積層し、両者の境界部にエネルギー不連続部であるキャリア蓄積層を形成しておき、上記第 1 の半導体層と第 2 の半導体層とを横方向に挟むソース・ドレイン領域と、上記第 1 及び第 2 の半導体層の上方に設けられたゲート電極とをさらに設け、上記キャリア蓄積層内を 2 次元キャリアガスが走行する HEMT として機能させることができる。

【0028】これにより、高い電気的特性、熱的安定性、耐電圧性などを有する HEMT が得られる。

【0029】上記第 1 の半導体装置において、Si 基板と、上記 Si 基板上に設けられた格子緩和用 SiGeC 層とをさらに備え、上記第 1 の半導体層を上記格子緩和用 SiGeC 層の上に設けることができる。

【0030】これにより、安価な Si 基板を用いて上述のような各種の半導体装置を構成することが可能となる。

【0031】本発明の第 2 の半導体装置は、Si 基板と、上記 Si 基板の上に設けられた格子緩和用 SiGeC 層と、上記格子緩和用 SiGeC 層の上に設けられた SiC 層とを備え、上記 SiC 層を動作層として有している。

【0032】これにより、安価な Si 基板を用いて、高い熱的安定性、耐電圧性を有する SiC 系の半導体装置が得られる。

【0033】上記第 2 の半導体装置において、上記格子緩和用 SiGeC 層は、ほぼ等しい Si 組成と C 組成とを有し、かつ上方に向かって漸次減少する Ge 組成を有していることが好ましく、さらに、上記格子緩和用 SiGeC 層内の Ge 組成が、SiGeC 層の格子定数が単結晶 Si の格子定数とほぼ等しくなる値からほぼ 0 まで漸次減少していることがより好ましい。

【0034】

【発明の実施の形態】本発明の半導体デバイスは、SiC と SiGeC とのヘテロ接合部を有するものであるが、本発明の実施形態を説明する前に、SiC の基本的な特性について説明する。

【0035】化学量論比が 1:1 である SiC 結晶は、熱的安定性や耐電圧性に優れた特徴を有することから、パワーデバイス等への応用が期待されており、電界効果トランジスタの作製例が例えば文献 3 (IEEE Electron Device Letters 第 15 巻 (1994 年) 458 頁) に記載されている。また、結晶の大面积化や低コスト化を目的として Si 基板上への SiC 結晶の作製技術が注目され研究開発が行われている。

【0036】現在、Si 基板上に SiC 層を成長する場合、Si と SiC の格子不整合に起因して SiC 成長層に多数の欠陥が生成し、SiC 層を用いたデバイスの特性を劣化させている。本発明では、まず、SiGeC 混晶層を利用して Si 基板と SiC 層の格子不整合に起因する欠陥生成を解消する方法を提案している。

【0037】なお、SiC の単結晶には、図 6 (a), (b), (c) に示すように、3C-SiC, 4H-SiC, 6H-SiC の 3 つのタイプの結晶構造があることが知られている。

【0038】(第 1 の実施形態) まず、SiC 基板を利用した SiGeC 層の形成方法に関する第 1 の実施形態について、図 1 (a), (b) を参照しながら説明する。図 1 (a), (b) は、6H-SiC 基板の表面近傍にイオン注入を用いて SiGeC 混晶層を形成する工程を示す断面図である。

【0039】まず、図 1 (a) に示すように、6H-SiC 基板 101 内に Ge イオン 102 を注入する。Ge イオン 102 のドーズ量は $5 \times 10^{15} \text{ cm}^{-2}$ 、加速エネルギーは 100 keV である。

【0040】次に、図 1 (b) に示す工程で、Ge イオンが注入された基板に 900℃、10 分間の熱処理を施すことにより、6H-SiC 基板 101 内に SiGeC 層 103 が形成される。

【0041】ここで、二次イオン質量分析により、SiGeC 層 103 中の Ge の組成は 5%、Si 組成は 47.5%、C 組成は 47.5% であることが確認され、X 線回折法により、SiGeC 層 103 は SiC 基板 101 と結晶方位の一致した 6H-タイプの単結晶であることが確認されている。さらに、X 線回折により、Si

GeC層103の格子定数は6H-SiC基板101の格子定数より1.2%大きいことが確認されている。また、ラザフォード散乱分光法を用いてSiGeC層103の結晶性を評価したところ、Ge原子は6H-タイプの結晶格子位置を占有していることが確認されている。

【0042】本実施形態の製造方法によると、6H-SiC基板101中にGeイオン102を注入することにより、結晶性の悪化を招くことなく、Si組成とC組成とがほぼ等しいSiGeC単結晶からなるSiGeC層103を形成することができる。また、Geイオン102のドーズ量を変化させることにより、SiGeC層103の格子定数を変化させることも確認されている。

【0043】なお、図1では、イオン注入を用いてSiGeC層103を作製する方法を示したが、6H-SiC基板101の表面に熱拡散を用いてGe原子を拡散させることによっても単結晶のSiGeC層が作製できる。また、液相成長法、気相成長法もしくは分子線エピタキシャル成長法を用いたエピタキシャル成長法によって、6H-SiC基板101の上にSiGeC層を形成してもよい。

【0044】また、本実施形態では、6H-SiC基板101を用いたSiGeC層103の形成方法について説明したが、3C-SiC基板、4H-SiC基板やその他の結晶構造のSiC基板を用いても、ほぼ同様の効果が得られる。

【0045】(第2の実施形態)次に、SiCとSiGeCとのヘテロ接合部を利用したヘテロバイポーラトランジスタに関する第2の実施形態について、図2

(a), (b)を参照しながら説明する。

【0046】図2(a)は本実施形態に係るヘテロバイポーラトランジスタの構造を示す断面図であり、図2

(b)はこのヘテロバイポーラトランジスタのエミッタ、ベース、コレクタに動作電圧を印加したときの伝導帯及び価電子帯の状態を示すバンド図である。

【0047】図2(a)に示すように、本実施形態のヘテロバイポーラトランジスタは、n型の6H-SiC基板201と、6H-SiC基板201内の表面付近の領域に設けられたSiCサブコレクタ層207と、6H-SiC基板201内におけるSiCサブコレクタ層207上の領域に設けられたSiCコレクタ層204と、6H-SiC基板201内におけるSiCコレクタ層204上の領域に設けられたSiGeCベース層203と、6H-SiC基板201内におけるSiGeCベース層203上の領域に設けられたSiCエミッタ層202と、各層を分離するためのSiO₂膜からなる絶縁膜206と、各層202, 203, 207にそれぞれコンタクトする電極205a, 205b, 205cとを備えている。

【0048】ここで、上記SiGeCベース層203

は、6H-SiC基板201内にGeおよびBをイオン注入することにより形成されており、上述の図1に示すSiGeC層103に相当する領域である。このSiGeCベース層203のGe組成は5%、Si組成は47.5%、C組成は47.5%、B濃度は $5 \times 10^{18} \text{ cm}^{-3}$ である。また、SiCエミッタ層202は、6H-SiC基板201内に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のPイオンを導入して形成されており、図1に示す6H-SiC基板101のうちSiGeC層103の上の領域に相当する領域である。SiCコレクタ層204およびSiCサブコレクタ層207は、6H-SiC基板201内に濃度 $1 \times 10^{17} \text{ cm}^{-3}$, $5 \times 10^{18} \text{ cm}^{-3}$ のPイオンをそれぞれ導入して形成されており、図1に示す6H-SiC基板101のうちSiGeC層103の下方の領域に相当する領域である。

【0049】ここで、図2(b)に示すように、SiGeCベース層203のバンドギャップEg2は、SiCエミッタ層202及びSiCコレクタ層204のバンドギャップEg1よりも小さい。そして、両者のバンドギャップ差 $\Delta E_g (=E_{g1} - E_{g2})$ は、Ge組成が5%の場合、0.12eVである。そして、同図に示されるように、SiCエミッタ層202からSiGeCベース層203に注入される電子に対するヘテロ障壁は小さく、SiGeCベース層203からSiCエミッタ層202に逆注入される正孔に対するヘテロ障壁は大きい。したがって、ヘテロバイポーラトランジスタの利点である高い電流増幅率を発揮することができる。

【0050】一方、作製したトランジスタの高周波特性を測定したところ、SiC系の従来のバイポーラトランジスタと比較して、約2倍の遮断周波数が得られている。この結果は、SiCデバイスにヘテロ接合部を用いることにより高周波特性が改善されたことを示している。

【0051】したがって、本実施形態のヘテロバイポーラトランジスタにより、第1の実施形態で説明したような結晶性のよいSiC-SiGeCヘテロ接合構造を利用して、従来のSi系ヘテロバイポーラトランジスタの有する利点に加えて、熱的安定性及び耐電圧性の高いパワー素子として機能するヘテロバイポーラトランジスタを実現することができる。

【0052】なお、本実施形態では、イオン注入を用いてSiGeC層203を形成しているが、6H-SiC基板の表面に熱拡散を用いてGe原子を拡散させたり、液相成長法、気相成長法もしくは分子線エピタキシャル成長法を用いたエピタキシャル成長法によって、6H-SiC基板上にSiGeC層を形成してもよい。

【0053】また、本実施形態では、6H-SiC基板201を用いているが、3C-SiC基板、4H-SiC基板やその他の結晶構造のSiC基板を用いても、ほぼ同様の効果が得られる。

【0054】(第3の実施形態)次に、SiC-SiGeCのヘテロ接合部を利用したHEMT(High Electron Mobility Transistor)に関する第3の実施形態について、図3(a)、(b)を参照しながら説明する。

【0055】図3(a)は、本実施形態に係るHEMTの構造を示す断面図であり、図3(b)はこのHEMTのゲートに直交する断面における各層の伝導帯及び価電子帯の状態を示すバンド図である。

【0056】図3(a)に示すように、本実施形態のHEMTは、p型の6H-SiC基板301と、6H-SiC基板301内の表面付近の領域に設けられたSiGeCチャネル層302と、6H-SiC基板301内におけるSiGeCチャネル層302上の領域に設けられた低濃度のn型のSiC障壁層303と、6H-SiC基板301内におけるSiGeCチャネル層302及びSiC障壁層303を挟む領域に設けられたn+型のソース・ドレイン領域304と、SiC障壁層303にコンタクトするゲート電極305と、ソース・ドレイン領域304にコンタクトするソース・ドレイン電極306とを備えている。

【0057】SiGeCチャネル層302のGe組成は5%であり、Si組成は47.5%であり、C組成は47.5%である。一方、SiC障壁層303は、6H-SiC基板301内に低濃度のPイオンを低エネルギーで注入することにより形成されている。ソース・ドレイン領域304は、ゲート電極305の形成領域を覆うマスク部材(例えばフォトリソ膜あるいはゲート電極305自体)の上方から、6H-SiC基板301内に高濃度のPイオンを注入することにより形成されている。

【0058】そして、図3(b)に示すように、SiC障壁層303とSiGeCチャネル層302との間のヘテロ障壁部には、両者の界面における伝導帯のエネルギーの不連続に起因するキャリア蓄積層307が形成されており、このキャリア蓄積層307に2次元電子ガスを蓄積できるように構成されている。この2次元電子ガスの濃度はゲート電極305への印加電圧により制御することができる。本実施形態におけるHEMTの2次元電子ガスの室温での電子移動度は、 $1000\text{ cm}^2/\text{V}$ であり、従来のSiC電界効果トランジスタの約3倍程度の値であった。この結果は、SiCデバイスにヘテロ接合構造を採用することにより電子移動度が増大することを示すものであり、本発明の効果を示すものである。

【0059】しかも、本実施形態のHEMTはSiC-SiGeCヘテロ接合を利用しているので、熱的安定性及び耐電圧性の高いパワートランジスタとして使用することができる。

【0060】なお、本実施形態では、イオン注入を用いてSiGeCチャネル層302を形成したが、液相成長法、気相成長法もしくは分子線エピタキシャル成長法を

用いた結晶成長法によってSiGeCチャネル層302を形成してもよい。さらに、6H-SiC基板だけでなく、3C-SiC、4H-SiCの他の結晶構造のSiC基板を用いてもHEMTを形成することができる。

【0061】また、キャリア蓄積層307を、6H-SiC基板301とSiGeCチャネル層302との間に形成してもよい。こちら側にもヘテロ接合が存在しているからである(図3(b)の右方であるが図示していない)。ただし、キャリア蓄積層307をゲート電極305に近い側に設けた方がゲート電圧の印加効率がよいという利点がある。

【0062】さらに、キャリア蓄積層を利用しなくても、SiGeCチャネル層302は、SiC障壁層303と6H-SiC基板301との間の双方の境界部にヘテロ接合を有することから、2つのヘテロ障壁で挟まれる領域をキャリアが高速で走行するFETとして機能しうる。

【0063】(第4の実施形態)次に、SiC-SiGeCのヘテロ接合を利用したMOSFETに関する第4の実施形態について、図4を参照しながら説明する。

【0064】図4は、本実施形態に係るMOSFETの構造を示す断面図である。なお、このMOSFETのバンド構造は、上記第3の実施形態から容易に推測できるので、図示を主略する。

【0065】図4に示すように、本実施形態のMOSFETは、Si基板401と、Si基板401上に設けられたSiGeC層402と、SiGeC層402上に設けられた低濃度のp型の3C-SiC層403と、SiGeC層402及び3C-SiC層403を横方向に挟む領域に設けられたn+型のソース・ドレイン領域405と、3C-SiC層403の上に設けられた熱酸化膜404と、熱酸化膜404の上に設けられたゲート電極406と、ソース・ドレイン領域405にコンタクトするソース・ドレイン電極407とを備えている。

【0066】次に、図4に示すMOSFETの製造工程について説明する。まず、Si基板401上に気相成長法によりSiGeC層402を成長させる。原料ガスには SiH_4 、 GeH_4 および C_3H_8 を用い、成長温度は 1000°C とし、 SiH_4 および C_3H_8 流量をそれぞれ 0.3 sccm 、 0.2 sccm と一定にした状態で GeH_4 流量を 0.85 sccm から 0 sccm まで連続的に変化させることにより、SiGeC層402のGe組成を85%から0%まで連続的に変化させる。なお、その間、Si組成とC組成とは、いずれも7.5~50%まで連続的に変化する。

【0067】引き続き、SiGeC層402上にp型の3C-SiC層403を成長させる。p型ドーパントには B_2H_6 を用い、3C-SiC層403中のp型キャリアの濃度を $5 \times 10^{17}\text{ cm}^{-3}$ 、膜厚を $2\text{ }\mu\text{m}$ とする。

【0068】次に、成長後のウェハ表面に熱酸化法によ

り熱酸化膜404を形成した後、フォトリソグラフィおよびイオン注入（Pイオン）を用いて高濃度のn型ソース・ドレイン領域404を形成する。さらに、ウェハ上にポリシリコン膜を堆積した後、これをパターニングして、ゲート電極406およびソース・ドレイン電極407を形成する。

【0069】以上の工程により、MOSFETを作製することができる。

【0070】本実施形態のMOSFETにおける3C-SiC層403の結晶欠陥密度は、SiC層をSi基板401上に直接成長させた場合に比べると、約1/100の値であった。また、本実施形態のMOSFETにおいては、Si基板に直接成長したSiC層を用いて作製したMOSFETと比較して、電子移動度の増大、酸化膜の耐圧の向上、歩留まりの向上が確認された。

【0071】すなわち、本実施形態のMOSFETによると、Si基板401と3C-SiC層403との間にSiGeC層402を介在させることにより、3C-SiC層403の結晶性が向上し、デバイス特性の向上を図ることができる。

【0072】図5は、Si組成とC組成とが等しいSiGeC層の格子定数のGe組成依存性を示す図である。同図に示すように、Ge組成が85%のときにSiGeC層の格子定数と単結晶Si層の格子定数とが等しくなる。よって、SiGeC層のSi基板との境界部におけるGe組成を85%とすることで、Si-SiGeC間の格子不整合をなくするとともに、格子定数を連続的に変化させて欠陥の少ない3C-SiC層を形成することができる。

【0073】ただし、SiGeC層のGe組成を85~0%まで変化させなくても、図5に示す組成内において、SiGeC層内のGe組成の変化範囲がSiC層とSi基板との格子不整合を緩和できる範囲であれば、本発明の効果を発揮することは可能である。例えば一定組成の単層のSiGeC層を設けるだけでも格子不整合を緩和する作用は得られる。

【0074】なお、本実施形態では、3C-SiC層403を活性層とするMOSFETを形成したが、3C-SiC層内にエミッタ、ベース及びコレクタを形成してバイポーラトランジスタを形成してもよい。また、3C-SiC層ではなく、6H-SiC層や4H-SiC層を用いてもよい。

【0075】さらに、上記3C-SiC層、6H-SiC層又は4H-SiC層の上にさらにSiGeC層を形成して（例えば第1の実施形態の方法により）、上記第2、第3の実施形態のようなヘテロバイポーラトランジスタや、HEMTを形成することもできる。

【0076】

【発明の効果】本発明の第1の半導体装置の製造方法によれば、SiC-SiGeCヘテロ接合を有する半導体

装置の製造方法として、化学的量論比1:1の組成を有するSiC層にGeを導入することによりSiGeC層を形成するようにしたので、結晶性のよいSiGeC層を用いて、電気的特性が優れるとともに熱的安定性の高いパワートランジスタとして機能できる半導体装置を得ることができる。

【0077】本発明の第2の半導体装置の製造方法によれば、SiC層を活性層として有する半導体装置の製造方法として、Si基板上にSiGeC層を形成してから、このSiGeC層の上にSiC層を形成するようにしたので、高価なSiC基板を使用せずに安価なSi基板を使用しながら、結晶欠陥の少ないSiC層を形成することができる。

【0078】本発明の第1の半導体装置によれば、SiC層からなる第1の半導体層と、化学的量論比1:1を有するSiC層にGeを導入して形成されたSiGeC層からなる第2の半導体層とを設けたので、2つの半導体層の境界部にヘテロ接合を利用して、電気的特性の優れた高い熱的安定性と耐電圧性とを有する各種の半導体装置を得ることができる。

【0079】本発明の第2の半導体装置によれば、Si基板の上に設けられた格子緩和用SiGeC層を介してSiC層を設け、SiC層を動作層として有する半導体装置を構成したので、安価なSi基板を用いて、高い熱的安定性、耐電圧性を有するSiC系の半導体装置を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るSiC層へのイオン注入によるSiGeC層の形成工程を示す断面図である。

【図2】本発明の第2の実施形態に係るSiC-SiGeCヘテロ接合を有するヘテロバイポーラトランジスタの構造を示す断面図である。

【図3】本発明の第3の実施形態に係るSiC-SiGeCヘテロ接合を有するHEMTの構造を示す断面図である。

【図4】本発明の第4の実施形態に係るSi基板上に形成されたSiCを動作層とするMOSFETの構造を示す断面図である。

【図5】SiGeC層の格子定数のGe依存性を示す図である。

【図6】SiC結晶の各種形態を示す結晶構造図である。

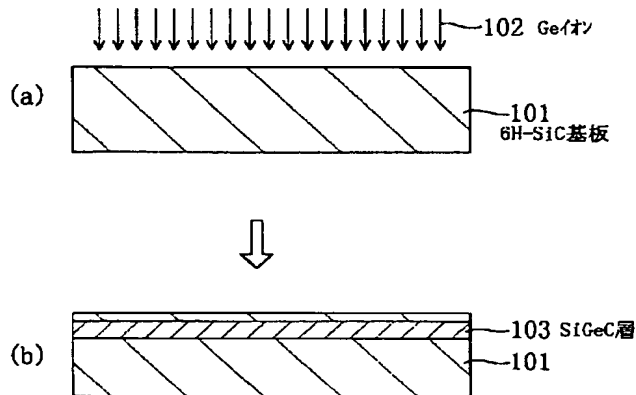
【符号の説明】

101 6H-SiC基板
102 Geイオン
103 SiGeC層
201 6H-SiC基板
202 SiCエミッタ層
203 SiGeCベース層

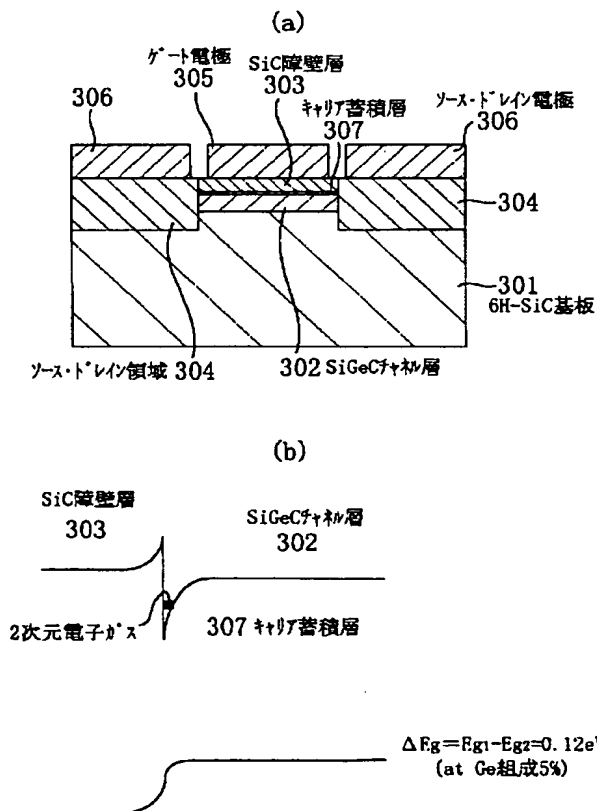
13

- 204 SiCコレクタ層
- 205 電極
- 206 絶縁膜
- 207 SiCサブコレクタ層
- 301 6H-SiC基板
- 302 SiGeCチャンネル層
- 303 SiC障壁層
- 304 ソース・ドレイン領域
- 305 ゲート電極

【図 1】



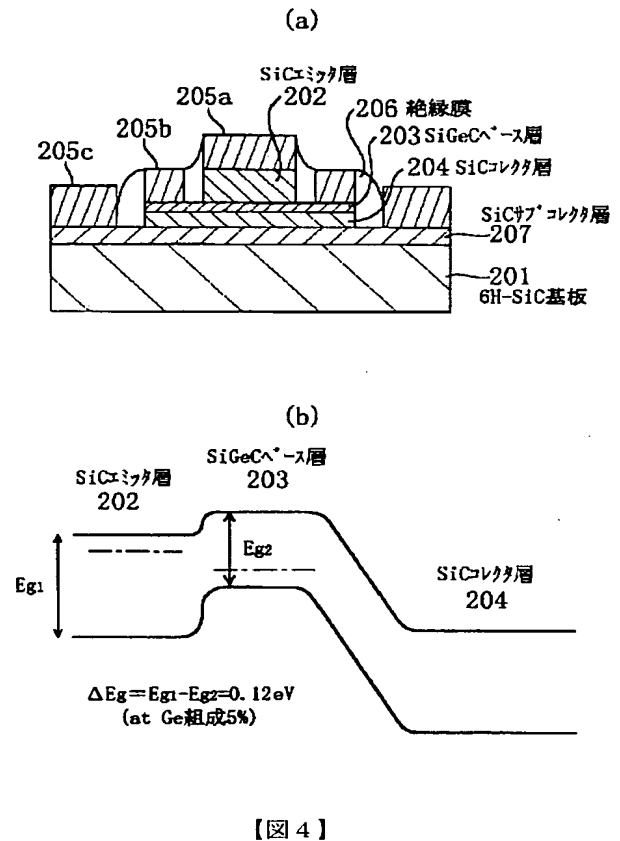
【図 3】



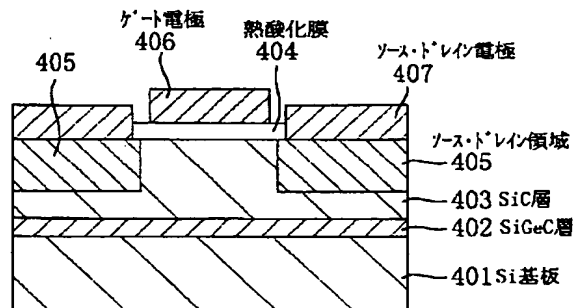
14

- 306 ソース・ドレイン電極
- 307 キャリア蓄積層
- 401 Si基板
- 402 SiGeC層
- 403 3C-SiC層
- 404 熱酸化膜
- 405 ソース・ドレイン領域
- 406 ゲート電極
- 407 ソース・ドレイン電極

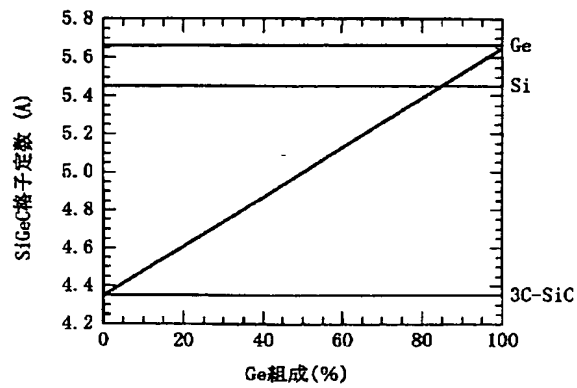
【図 2】



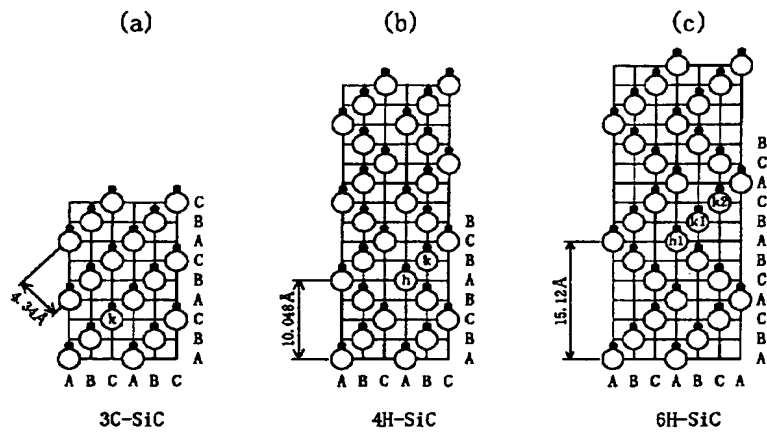
【図 4】



【図 5】



【図 6】



フロントページの続き

(51) Int. Cl. ⁶

H O 1 L 21/338

29/812

識別記号

F I

(72) 発明者 能澤 克弥

大阪府門真市大字門真1006番地 松下電器

産業株式会社内